

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 1 月 1 2 日  
Date of Application:

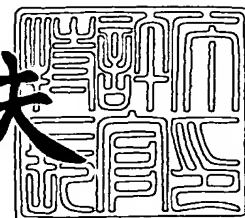
出 願 番 号                      特 願 2 0 0 2 - 3 2 8 6 0 5  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 2 - 3 2 8 6 0 5 ]

出      願      人                      株式会社デンソー  
Applicant(s):

2 0 0 3 年    8 月 2 5 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 PY20021919

【提出日】 平成14年11月12日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00

【発明者】

    【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

    【氏名】 鶴田 和弘

【特許出願人】

    【識別番号】 000004260

    【氏名又は名称】 株式会社デンソー

【代理人】

    【識別番号】 100068755

    【弁理士】

    【氏名又は名称】 恩田 博宣

【選任した代理人】

    【識別番号】 100105957

    【弁理士】

    【氏名又は名称】 恩田 誠

【手数料の表示】

    【予納台帳番号】 002956

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9908214

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体基板およびその製造方法

【特許請求の範囲】

【請求項1】 第1の素子(5)を絶縁物の上に配置するとともに第2の素子(Q1, Q2)を作り込んだ半導体装置に用いるための半導体基板であって、

第1の素子が配置される部位(A1)において厚さ10 $\mu$ m以上の熱酸化物層(2)が形成されるとともに、当該熱酸化物層(2)の外周面(2a)から内方において同外周面(2a)に沿って多結晶半導体(4)を充填した溝(3)が形成されていることを特徴とする半導体基板。

【請求項2】 半導体基板としてSOI基板を用い、前記熱酸化物層(2)がSOI基板の埋め込み酸化膜層(202)に達していることを特徴とする請求項1に記載の半導体基板。

【請求項3】 前記第1の素子(5)は受動素子であり、前記第2の素子(Q1, Q2)は能動素子であることを特徴とする請求項1または2に記載の半導体基板。

【請求項4】 前記受動素子(5)は高周波を取り扱うものであることを特徴とする請求項3に記載の半導体基板。

【請求項5】 第1の素子(5)を絶縁物の上に配置するとともに第2の素子(Q1, Q2)を作り込んだ半導体装置に用いるための半導体基板の製造方法であって、

半導体基板(1)における第1の素子(5)が配置される部位(A1)において、深さ10 $\mu$ m以上の第1の溝(24)と、この第1の溝(24)を形成する領域の周囲に第1の溝(24)の溝幅よりも大きな溝幅の第2の溝(25)を形成する工程と、

熱酸化により前記第1および第2の溝(24, 25)の内面から酸化膜(27)を成長させて第1の溝(24)においては熱酸化膜(27)によって埋設し、第2の溝(25)においては側壁に熱酸化膜(27)を第3の溝(3)を残して形成する工程と、

前記第3の溝(3)に多結晶半導体(4)を充填する工程と、

を備えたことを特徴とする半導体基板の製造方法。

【請求項 6】 第 1 の素子 (5) を絶縁物の上に配置するとともに第 2 の素子 (Q 1, Q 2) を作り込んだ半導体装置に用いるための半導体基板の製造方法であって、

半導体基板 (1) における第 1 の素子 (5) が配置される部位 (A 1) において、深さ  $10\ \mu\text{m}$  以上の第 1 の溝 (2 4) を隣接して形成するとともに第 1 の溝 (2 4) を形成する領域の周囲に第 1 の溝 (2 4) の溝幅よりも大きな溝幅の第 2 の溝 (2 5) を形成する工程と、

熱酸化により前記第 1 および第 2 の溝 (2 4, 2 5) の内面から酸化膜 (2 7) を成長させて第 1 の溝 (2 4) においては熱酸化膜 (2 7) によって埋設するとともに隣接する第 1 の溝 (2 4) の間を全て熱酸化膜 (2 7) とし、第 2 の溝 (2 5) においては側壁に熱酸化膜 (2 7) を第 3 の溝 (3) を残して形成する工程と、

前記第 3 の溝 (3) に多結晶半導体 (4) を充填する工程と、  
を備えたことを特徴とする半導体基板の製造方法。

【請求項 7】 前記第 3 の溝 (3) に多結晶半導体 (4) を充填する工程は、

前記半導体基板 (1) 上に多結晶半導体 (2 8) を堆積させて前記第 3 の溝 (3) 内に多結晶半導体 (2 8) を配した後、前記半導体基板 (1) の表面部に堆積した前記多結晶半導体 (2 8) を除去し、さらに、前記半導体基板 (1) の表面に残留した多結晶半導体 (2 8) を熱酸化する処理を含むことを特徴とする請求項 5 または 6 に記載の半導体基板の製造方法。

【請求項 8】 前記第 1 の溝 (2 4) の溝幅を「W 1」、前記第 2 の溝 (2 5) の溝幅を「W 3」、半導体基板 (1) とその熱酸化物との熱膨張係数差を「A」、熱酸化に伴う第 1 の溝 (2 4) による熱酸化物層の最大幅を「W」、室温と最大熱酸化処理温度との温度差を「T」としたとき、

$$W3 > \{ (A \cdot W \cdot T) / 2 \} + W1$$

を満足するようにしたことを特徴とする請求項 5 ～ 7 のいずれか 1 項に記載の半導体基板の製造方法。

【請求項 9】 半導体基板として S O I 基板を用い、前記第 1 および第 2 の溝（2 4， 2 5）を形成する際に同溝（2 4， 2 5）が S O I 基板の埋め込み酸化膜層（2 0 2）に達していることを特徴とする請求項 5 ～ 8 のいずれか 1 項に記載の半導体基板の製造方法。

【請求項 1 0】 前記第 1 の素子（5）は受動素子であり、前記第 2 の素子（Q 1， Q 2）は能動素子であることを特徴とする請求項 5 ～ 9 のいずれか 1 項に記載の半導体基板の製造方法。

【請求項 1 1】 前記受動素子（5）は高周波を取り扱うものであることを特徴とする請求項 1 0 に記載の半導体基板の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体基板およびその製造方法に関するものである。

【0 0 0 2】

【従来の技術】

携帯電話など小型無線情報機器の普及により、搭載される高周波回路の小型、低消費電力化、低コスト化のため、半導体基板に能動素子と受動素子を集積して、回路を 1 チップ化したモノリシック I C の開発が進んでいる。具体的には、半導体基板に、トランジスタ、ダイオード等の能動素子と、抵抗、キャパシタ、インダクタ等の受動素子を集積して、高周波の発振器、アンプ、フィルタ等の回路を 1 チップ化する。

【0 0 0 3】

しかしながら、半導体基板上にインダクタを形成する場合、非特許文献 1 に記載されているように、インダクタを構成する導電体と半導体基板との間に寄生容量及び寄生抵抗（渦電流損）が生じるという問題がある。従って、Q 値の高いインダクタを得るためには、寄生容量及び寄生抵抗を低減する必要がある。

【0 0 0 4】

この問題を解決する方法として非特許文献 1 では、半導体基板の表面のインダクタの下方に溝（空洞）を形成する方法を提案している。しかし、非特許文献 1

により開示された解決法には以下の2つの問題点がある。1つは、インダクタの下シリコンをエッチングで取り除くプロセスは、従来のシリコンLSIプロセスと相いれないものであることである。第2には、上述した構造では、インダクタを空中配線構造にしているため、十分な強度が得られないという問題である。

#### 【0005】

そこで、上述の問題を解決する手段として、特許文献1では、半導体基板の一部分に深さ $20\mu\text{m}$ 以上の溝を形成し、その溝に絶縁物を充填し、その絶縁物上にインダクタ等の受動素子を形成することが提案されている。これにより、インダクタを構成する導電体と半導体基板との間の寄生容量及び寄生抵抗を低減しつつ、従来のシリコンLSIプロセスとの融合を可能とし、しかも十分な強度が確保できる。

#### 【0006】

しかしながら、特許文献1で開示されている方法では、絶縁物は有機系の絶縁性流体を用いており、以下のような問題がある。通常、このような絶縁性流体は固体化する際、体積変化（体積収縮）が起こり、能動素子を形成するための半導体基板面と受動素子を形成するための絶縁物領域面を同程度の高さにしたり絶縁物領域表面を平坦にすることが困難であるとか、体積変化により基板に応力がかかり、基板が反るという問題がある。

#### 【0007】

また、非特許文献2、3においては次のような方法が開示されている。シリコン基板の一方の面側に深さ $10\mu\text{m}$ 以上の複数の溝を形成する。そして、その溝と溝とで挟まれたシリコン基板の柱（壁）を熱酸化によって完全に酸化するとともに残った溝内に酸化物を堆積させ溝を埋めることで、シリコン基板に $10\mu\text{m}$ 以上の厚い絶縁物領域を形成する。しかしながら、この方法においても、厚い絶縁物領域を形成した基板に能動素子を形成する場合の $800^{\circ}\text{C}$ 以上の熱処理を繰り返すと、同様な不具合が発生する。つまり、シリコン基板と酸化シリコンの熱膨張係数の違い（シリコン： $2.5 \times 10^{-6}/^{\circ}\text{C}$ 、酸化シリコン： $0.5 \times 10^{-6}/^{\circ}\text{C}$ ）によって、シリコン基板にストレスがかかり、シリコン基板が反る。また、シリコン基板内に結晶欠陥、転位が発生し、シリコン基板領域に形成した能

動素子が動作不能になる。特に、厚い絶縁物領域近傍のシリコン基板領域には、結晶欠陥、転位が集中するため、能動素子が動作不能になるのを回避するには、能動素子を厚い絶縁物領域から一定の距離（例えば数十  $\mu\text{m}$ ）離す必要があり、その部分がデッドスペースとなり、回路の集積度を悪化させることになる。

#### 【0 0 0 8】

##### 【特許文献 1】

特開 2 0 0 1 - 7 7 3 1 5 号公報

##### 【非特許文献 1】

J.Y.C. Changらの論文 “Large Suspended Inductors on Silicon and Their Use in a 2- $\mu\text{m}$  CMOS RF Amplifier,” IEEE Electron Device Letters, Vol. 14, No.5, pp. 246-248 (1993)

##### 【非特許文献 2】

C.Zhangらの論文 “FABRICATION OF THICK SILICON DIOXIDE LAYERS USING DRIE, OXIDATION AND TRENCH REFILL”, Technical Digest of The Fifteenth IEEE International Conference on Micro Electro Mechanical Systems, pp. 160-163 (2002)

##### 【非特許文献 3】

H. Jiangらの論文 “REDUCING SILICON-SUBSTRATE PARASITICS OF ON-CHIP TRANSFORMERS”, Technical Digest of The Fifteenth IEEE International Conference on Micro Electro Mechanical Systems, pp. 649-652 (2002)

#### 【0 0 0 9】

##### 【発明が解決しようとする課題】

本発明はこのような背景の下になされたものであり、素子機能を十分に発揮させることができ、しかも十分な強度を得ることが可能な厚い絶縁物層を有し、かつ基板の反りや結晶欠陥、転位が発生しにくく、高い集積度の回路を実現可能な半導体基板およびその製造方法を提供することを目的としている。

#### 【0 0 1 0】

##### 【課題を解決するための手段】

請求項 1 に記載の半導体基板は、第 1 の素子が配置される部位において厚さ 1

0  $\mu\text{m}$ 以上の熱酸化物層が形成されるとともに、当該熱酸化物層の外周面から内方において同外周面に沿って多結晶半導体を充填した溝が形成されていることを特徴としている。よって、この厚い熱酸化物層にて素子機能を十分に発揮させることができ（例えば、受動素子に対する寄生容量及び寄生抵抗を十分に低減することができる）、しかも第1の素子を空中配線構造としていないので十分な機械的強度を得ることが可能となる。また、熱酸化物層の外周面から内方において同外周面に沿って多結晶半導体を充填した溝を形成したので、多結晶半導体が第2の素子形成工程における熱ストレスの吸収層として働くため、基板の反りや結晶欠陥、転位の発生を抑制でき、第2の素子の動作不良を防止できる。これによりデッドスペースを少なくでき、高い集積度の回路を実現することができる。

#### 【0011】

ここで、請求項2に記載のように、半導体基板としてSOI基板を用い、熱酸化物層がSOI基板の埋め込み酸化膜層に達している構成とすることができる。

また、請求項3に記載のように、第1の素子は受動素子であり、第2の素子は能動素子であり、特に、請求項4に記載のように、受動素子は高周波を取り扱うものである場合に適用するとよい。

#### 【0012】

請求項5に記載の半導体基板の製造方法においては、半導体基板における第1の素子が配置される部位において、深さ10  $\mu\text{m}$ 以上の第1の溝と、この第1の溝を形成する領域の周囲に第1の溝の溝幅よりも大きな溝幅の第2の溝が形成される。そして、熱酸化により第1および第2の溝の内面から酸化膜を成長させて第1の溝においては熱酸化膜によって埋設させ、第2の溝においては側壁に熱酸化膜を第3の溝を残して形成させる。さらに、第3の溝に多結晶半導体が充填される。これにより、請求項1に記載の半導体基板が得られる。

#### 【0013】

請求項6に記載の半導体基板の製造方法においては、半導体基板における第1の素子が配置される部位において、深さ10  $\mu\text{m}$ 以上の第1の溝が隣接して形成されるとともに第1の溝を形成する領域の周囲に第1の溝の溝幅よりも大きな溝幅の第2の溝が形成される。そして、熱酸化により第1および第2の溝の内面か

ら酸化膜を成長させて第1の溝においては熱酸化膜によって埋設されるとともに隣接する第1の溝の間が全て熱酸化膜とされ、第2の溝においては側壁に熱酸化膜が第3の溝を残して形成される。さらに、第3の溝に多結晶半導体が充填される。これにより、請求項1に記載の半導体基板が得られる。

#### 【0014】

この請求項5, 6の発明によれば、第3の溝は、第1の溝の内部を酸化物で埋めていく時の酸化膜と半導体基板との熱膨張係数差に起因するストレスを吸収し、半導体基板部分に過大な応力が加わることが無いため、基板の反りを抑制することができる。

#### 【0015】

請求項7に記載のように、第3の溝に多結晶半導体を充填する工程は、半導体基板上に多結晶半導体を堆積させて第3の溝内に多結晶半導体を配した後、半導体基板の表面部に堆積した多結晶半導体を除去し、さらに、半導体基板の表面に残留した多結晶半導体を熱酸化する処理を含むようにする。このようにすると、熱酸化物層の表面部分の凹部を多結晶半導体で埋設して平坦化でき、さらにその後の熱酸化により凹部に残留した多結晶半導体が酸化され体積膨張するのでさらに表面が平坦化される。こうして形成された厚い熱酸化物層は表面が基板表面とほぼ同じ高さにすることができる。

#### 【0016】

請求項8に記載のように、第1の溝の溝幅を「W1」、第2の溝の溝幅を「W3」、半導体基板とその熱酸化物との熱膨張係数差を「A」、熱酸化に伴う第1の溝による熱酸化物層の最大幅を「W」、室温と最大熱酸化処理温度との温度差を「T」としたとき、

$$W3 > \{ (A \cdot W \cdot T) / 2 \} + W1$$

を満足させると、第3の溝は、熱処理中の半導体とその酸化物の熱膨張率の違いによって基板の水平方向に発生する寸法差を吸収し、熱処理中に半導体基板に加わる応力を低減し、結晶欠陥、転位、基板（ウエハ）の反りの発生を抑制することができる。

#### 【0017】

請求項 9 に記載のように、半導体基板として S O I 基板を用い、第 1 および第 2 の溝を形成する際に同溝が S O I 基板の埋め込み酸化膜層に達していると、第 2 の素子形成過程の熱ストレスを溝および多結晶半導体に集中させることができ、第 2 の素子が形成される半導体基板領域の結晶欠陥、転位の発生をさらに抑制でき、第 2 の素子の動作不良を防止できる。

#### 【0018】

請求項 10 に記載のように、第 1 の素子は受動素子であり、第 2 の素子は能動素子であり、特に、請求項 11 に記載のように、受動素子は高周波を取り扱うものである場合に適用するとよい。

#### 【0019】

##### 【発明の実施の形態】

以下、この発明を具体化した一実施の形態を図面に従って説明する。

本実施形態においては、図 1，2 に示す半導体基板 100 を使用している。図 1 は半導体基板 100 の縦断面図であり、図 2 は半導体基板 100 の平面図である。図 1 に示すように、シリコン基板 1 の一方の表面側（素子形成面側）においてその一部領域に厚い熱酸化物層 2 が形成されている。熱酸化物層 2 は図 2 に示すように、四角形状をなしている。図 1，2 に示すように、熱酸化物層 2 の内部には溝 3 が形成され、この溝 3 は熱酸化物層 2 の外周面 2 a から内方において同外周面 2 a に沿って延びている。つまり、溝 3 は平面形状として四角環状をなしている。この溝 3 には多結晶シリコン（多結晶半導体）4 が充填されている。即ち、熱酸化物層 2 の内部において熱酸化物層 2 の外周面 2 a の近傍には多結晶シリコンによる壁（4）が埋設されている。

#### 【0020】

この半導体基板 100 を用いて図 3 に示す高周波モノリシック IC を形成している。つまり、本実施の形態においては半導体装置として高周波モノリシック IC に具体化しており、図 3 には高周波モノリシック IC の一部分での縦断面図を示す。このモノリシック IC での半導体基板 100 において、厚い熱酸化物層 2 がその上に受動素子を配置するための絶縁物となる。

#### 【0021】

図 3 では、半導体基板 1 0 0 に対し能動素子としてのトランジスタ Q 1 , Q 2 と、受動素子としてのインダクタ 5 を集積化しており、高周波の発振器、アンプ、フィルタ等の回路を 1 チップ化している。

#### 【 0 0 2 2 】

詳しくは、図 3 において、シリコン基板 1 上における受動素子形成領域 A 1 には  $10\ \mu\text{m}$  以上の厚さの熱酸化物層 2 が形成されており、その上には、受動素子であるスパイラルインダクタ 5 が形成されている。高周波回路等においてはスパイラルインダクタ 5 の直下では強い電磁波が発生するため、熱酸化物層 2 の厚さ  $t_1$  は  $10\ \mu\text{m}$  以上であることが好ましく、本例では  $30\ \mu\text{m}$  としている。熱酸化物層 2 を構成するシリコン熱酸化膜は、比誘電率が「3.9」程度である。スパイラルインダクタ 5 は金属材料を用いて形成されており、本例では配線材料でもあるアルミ (A 1) を用いている。ただし、材料はアルミ (A 1) に限ったものではなく、Cu、Au 等を用いてもよい。一方、シリコン基板 1 上における能動素子形成領域 A 2 には、Nチャネル MOS トランジスタ Q 1 と Pチャネル MOS トランジスタ Q 2 が形成されている。

#### 【 0 0 2 3 】

図 4 は、酸化膜上に配置される配線（信号線路）に印加される周波数  $f$  を  $2\ \text{GHz}$  としたときの、信号の伝送損失と酸化膜厚との関係を示したシミュレーション結果である。シミュレーションでは、シリコン基板の比抵抗を  $4\ \Omega \cdot \text{cm}$ 、線路の材料をアルミ (A 1)、厚さを  $1\ \mu\text{m}$ 、幅を  $50\ \mu\text{m}$ 、グランド配線との間隔を  $30\ \mu\text{m}$ 、全長を  $1\ \text{mm}$  とした。

#### 【 0 0 2 4 】

図 4 から次のことが分かる。酸化膜厚が厚いほど伝送損失は小さくなるが、酸化膜厚が  $10\ \mu\text{m}$  以上であると、酸化膜厚  $1\ \mu\text{m}$  のときの 10 分の 1 程度にできる。また、酸化膜厚が  $20\ \mu\text{m}$  以上ではほぼ損失は飽和している。損失が飽和する酸化膜厚は、信号の周波数、線路の抵抗値、寸法で異なってくるが、 $100\ \text{MHz}$  以上の高周波領域において、厚い酸化膜による伝送損失低減効果を十分に得るためには酸化膜の膜厚を  $10\ \mu\text{m}$  以上にすることが好ましい。

#### 【 0 0 2 5 】

次に、モノリシック IC の製造プロセスを、図 5, 6, 7, 8 を用いて説明する。

まず、図 5 (a) に示すように、シリコン基板 1 を用意し、その上面に酸化膜 ( $\text{SiO}_2$ ) 20 を形成する。さらに、図 5 (b) に示すように、酸化膜 20 上にフォトリソグリス (符号 21 で示す部材) を塗布する。そして、所定領域つまり受動素子形成領域 A1 での厚い熱酸化物層の形成予定領域に、幅  $1\ \mu\text{m}$  以下、例えば  $0.8\ \mu\text{m}$  の縞状の溝パターン 22 とその周囲の幅  $1\ \mu\text{m}$  以上、例えば  $1.6\ \mu\text{m}$  の溝パターン 23 を露光して開口させる。この時、開口した溝パターン 22 の間の幅  $W2$  は、溝パターン 22 の幅 (開口部の幅)  $W1$  の  $81.8\%$  程度に設定する。例えば、溝パターン 22 の幅 (溝幅)  $W1$  が  $0.8\ \mu\text{m}$  であれば溝パターン 22 間の幅 (溝間隔)  $W2$  を  $0.65\ \mu\text{m}$  程度に設定する。

#### 【0026】

そして、図 5 (c) に示すように、前記溝パターン 22, 23 で、酸化膜 20 をエッチングした後、レジスト 21 を除去することで、酸化膜 20 によるマスクを形成する。これにより、シリコン基板 1 の溝が形成されるべき部分が露出した状態となる。

#### 【0027】

引き続き、図 6 (a) および図 8 の平面図に示すように、シリコン基板 1 における受動素子 5 が配置される部位 A1 において、深さ  $10\ \mu\text{m}$  以上の第 1 の溝 24 を隣接して形成するとともに第 1 の溝 24 を形成する領域の周囲に第 1 の溝 24 の溝幅  $W1$  よりも大きな溝幅  $W3$  の第 2 の溝 25 を形成する。広義には、シリコン基板 1 における受動素子 5 が配置される部位 A1 において、深さ  $10\ \mu\text{m}$  以上の第 1 の溝 24 と、この第 1 の溝 24 を形成する領域の周囲に第 1 の溝 24 の溝幅  $W1$  よりも大きな溝幅  $W3$  の第 2 の溝 25 を形成する。詳しくは次のようにする。

#### 【0028】

異方性エッチングを用いて、シリコン基板 1 をエッチングして、溝 24, 25 を同時に形成する。第 1 の溝 24 の幅  $W1$  は  $1\ \mu\text{m}$  以下であり、第 2 の溝 25 の幅  $W3$  は  $1\ \mu\text{m}$  以上であり、前述したように溝 24, 25 の深さ  $L1$  は  $10\ \mu\text{m}$

以上である。溝形成の際に、フッ素系ガスを用いた反応性イオンエッチング、特に高密度プラズマエッチングによる異方性エッチングを用いる。これにより、基板 1 に対してほぼ垂直な側面を有する深い溝を形成することができる。また、特開 2000-299310 号公報に開示されているエッチング方法を用いることにより、アスペクト比が 30 以上の深い溝を形成することも可能であり、幅  $1\ \mu\text{m}$  以下の溝幅であっても、深さは  $30\ \mu\text{m}$  以上のほぼ垂直な溝を形成することができる。また、この時、シリコン基板 1 における縞状の溝 24 の間のシリコン材料 26 は、その幅（厚さ） $W2$  が溝幅  $W1$  の 81.8% 程度であり、高さが  $10\ \mu\text{m}$  以上の薄板状になる。

#### 【0029】

そして、図 6 (b) に示すように、熱酸化により第 1 および第 2 の溝 24, 25 の内面から酸化膜 27 を成長させて第 1 の溝 24 においては熱酸化膜 27 によって埋設するとともに隣接する第 1 の溝 24 の間を全て熱酸化膜 27 とし、第 2 の溝 25 においては側壁に熱酸化膜 27 を第 3 の溝 3 を残して形成する。広義には、熱酸化により第 1 および第 2 の溝 24, 25 の内面から酸化膜 27 を成長させて第 1 の溝 24 においては熱酸化膜 27 によって埋設し、第 2 の溝 25 においては側壁に熱酸化膜 27 を第 3 の溝 3 を残して形成する。詳しくは次のようにする。

#### 【0030】

シリコン基板 1 をウェット  $\text{O}_2$ 、スチーム  $\text{O}_2$ 、 $\text{H}_2$  および  $\text{O}_2$  混合燃焼気体中等の水素を含む酸化性雰囲気中で酸化処理をする。この際、溝 24, 25 内のシリコン基板 1 は酸化が進行していく時、酸化膜厚の 45% に相当する厚さ分、基板内部のシリコン層が酸化シリコン化し、酸化膜厚の 55% に相当する厚さ分、酸化前のシリコン基板側面より外側に膨張する。従って、酸化が進行するにつれて、縞状パターンの溝 24 は酸化シリコン（熱酸化膜 27）で埋められていき、溝 24 の両側の側壁に成長した酸化膜 27 が互いに接触すると、その酸化膜同士で結合ができて、溝 24 内は酸化シリコン（熱酸化膜 27）で完全に埋設できる。例えば、溝 24 の幅  $W1$  が  $0.8\ \mu\text{m}$  の場合では、膜厚  $0.73\ \mu\text{m}$  程度の酸化膜を成長させるのに相当する酸化処理を行うことで埋設できる。

**【0031】**

このような膜厚  $1\ \mu\text{m}$  以下の酸化膜 27 を成長させる酸化処理は通常の L S I 製作工程で用いられており、特殊な工程を必要とせず、従来技術（特許文献 1）よりも安価に厚い酸化物層を形成できる。また、溝幅  $W1$  がさらに小さければ、この酸化処理はさらに短時間にでき、低コストになるとともに、最外周に形成される酸化膜厚を薄くでき、シリコン領域の結晶欠陥の発生をより抑制できる。

**【0032】**

なお、溝 24 での側面に成長した酸化膜 27 が互いに接触し、酸化膜同士で結合が形成される過程においては、水素の関与が必要であるため、上記のような水素を含む酸化性雰囲気での処理を行っている。しかし、この水素を含む酸化性雰囲気は酸化膜が互いに接触する直前から溝 24 が酸化物で完全に埋設されるまでの間のみで、それ以外の時間は水素を含まないドライ  $\text{O}_2$  等の酸化性雰囲気であってもよい。縞状の溝 24 が形成された領域内の薄板状シリコン材料 26 は幅（板厚） $W2$  が溝幅  $W1$  の 81.8% 程度の場合には、溝 24 の内部が酸化物で完全に埋設されると同時に、すべて酸化され、酸化シリコン化するため、縞状の溝 24 を形成した領域全域に渡り、厚さが  $10\ \mu\text{m}$  以上の厚い熱酸化物層 2 が形成できる。

**【0033】**

また、厚い熱酸化物層 2 における基板表面付近では、酸化が基板 1 の表面（水平方向）とは直交する方向に進行するため、はじめにシリコンがあった部分はもり上がった状態になるため、微小な凹凸がある状態になっている。

**【0034】**

さらに、第 2 の溝 25 は第 1 の溝 24 よりも溝幅が大きいため第 2 の溝 25 での熱酸化により第 3 の溝 3 が残った状態となり、その溝幅  $S$  は、初期の溝幅（第 2 の溝 25 の幅） $W3$  が  $1.6\ \mu\text{m}$  で、 $W1 = 0.8\ \mu\text{m}$  の場合においては  $0.8\ \mu\text{m}$  程度となる。

**【0035】**

この第 3 の溝 3 は、熱処理中のシリコンと酸化シリコンの熱膨張率の違いによって基板の水平方向に発生する寸法差を吸収する。つまり、溝 24 の内部を酸化

物で埋めていく時の酸化膜とシリコン基板との熱膨張係数の差を吸収する。これにより、熱処理中にシリコン基板 1 に加わる応力を低減し、結晶欠陥、転位、基板（ウエハ）の反りの発生を抑制することができる。

#### 【0036】

この寸法差について具体的には、シリコンと酸化シリコンとの熱膨張係数差  $A$  ( $2.5 \times 10^{-6} - 0.5 \times 10^{-6} = 2.0 \times 10^{-6} / ^\circ\text{C}$ ) と、熱酸化に伴う第 1 の溝 24 による熱酸化物層 2 の最大幅  $W$  と、図 6 (b) の酸化処理での室温と最大酸化処理温度との温度差  $T$  との積 ( $A \times W \times T$ ) で計算される。例えば、 $W = 300 \mu\text{m}$ 、 $T = 1100^\circ\text{C}$  では、 $A = 2.0 \times 10^{-6} / ^\circ\text{C}$  であるので、 $0.66 \mu\text{m}$  の寸法差が生じる。従って、第 2 の溝 25 の酸化処理後の溝幅、即ち、第 3 の溝 3 の溝幅  $S$  は少なくとも  $0.33 (= 0.66 / 2) \mu\text{m}$  以上残るようにしておく必要がある。

#### 【0037】

このように、第 1 の溝 24 の溝幅を「 $W1$ 」、第 2 の溝 25 の溝幅を「 $W3$ 」、シリコン基板とその熱酸化物との熱膨張係数差を「 $A$ 」、熱酸化に伴う第 1 の溝 24 による熱酸化物層の最大幅を「 $W$ 」、室温と最大熱酸化処理温度との温度差を「 $T$ 」としたとき、

$$W3 > \{ (A \cdot W \cdot T) / 2 \} + W1$$

を満足させる。これにより、第 3 の溝 3 は、熱処理中のシリコンとその酸化物の熱膨張率の違いによって基板の水平方向に発生する寸法差を吸収し、熱処理中にシリコン基板 1 に加わる応力を低減し、結晶欠陥、転位、基板（ウエハ）の反りの発生を抑制することができることとなる。即ち、第 3 の溝 3 は、第 1 の溝 24 の内部を酸化物で埋めていく時の熱酸化物層とシリコン基板との熱膨張係数差に起因するストレスを吸収し、シリコン基板部分に過大な応力が加わることが無いため、基板 1 の反りを抑制することができる。

#### 【0038】

なお、本工程の酸化処理は、図 5 (a) で形成した酸化膜（マスク材）20を残した状態で行った例を示したが、図 6 (b) の酸化処理の前に、酸化膜（マスク材）20をエッチングして除去した後に、酸化処理を行ってもよい。また、酸

化膜（マスク材）20が窒化膜を含む膜でもよく、その場合、マスク材（20）を残して図6（b）の酸化処理を行うと、溝24，25の内面のみに酸化膜を成長させることができ、厚い熱酸化物層2の表面の凹凸を小さくできる。

#### 【0039】

また、図6（a）の溝形成工程の後では、エッチング条件によっては、形成された溝24，25の表面がエッチング時のダメージにより微小な凹凸ができていたり、溝24，25の最上部の角部が鋭角になり、図6（b）の工程において溝面での酸化膜の成長が不均一になり、溝24内が酸化物で完全に埋設されず、空洞が残る場合がある。この空洞は、後工程のLSIプロセスに支障が無ければそのままでもよいが、場合によっては空洞にプロセス途中の薬液が残留して汚染源になったり、熱処理中に膨張して破損したりする危険性があるため、犠牲酸化工程などの溝が酸化物で埋まり易い形状に溝を整形する工程を追加してもよい。また、熱処理温度は965℃以上が好ましく、この温度以上では、酸化工程中の酸化膜の粘性流動の効果により、シリコン基板1に対して低応力で酸化膜27が形成されるとともに、溝24への酸化物の埋め込み性がよくなる。

#### 【0040】

また、図6（b）の酸化処理において、溝24，25のアスペクト比が大きい場合には、溝24，25内に充填されている酸化処理前の雰囲気（例えば空気や窒素、アルゴンといった不活性雰囲気）が充満しているため、溝底部まで酸化性雰囲気が行き渡らず、酸化が進行しない場合がある。その場合には、図6（b）の酸化処理前に基板を真空中に挿入した後、酸素雰囲気中に挿入し、溝24，25内に酸素を充満させるとよい。

#### 【0041】

次に、図6（c），図7（a），（b）に示す工程を経て第3の溝3に多結晶シリコン4を充填する。まず、図6（c）に示すように、シリコン基板1上に例えばLP-CVD法等により、多結晶半導体である多結晶シリコン28を1 $\mu$ m程度堆積して、第3の溝3内に多結晶シリコンを配する（埋設する）。また、厚い熱酸化物層2の表面の凹凸も多結晶シリコンを堆積（凹部に多結晶シリコンを埋設）させることでほぼ平坦化することができる。

**【0042】**

引き続き、シリコン基板1の表面部に堆積した多結晶シリコン28を、図7（a）に示すように、例えば反応性イオンエッチング法等により厚い熱酸化物層形成予定領域以外の表面の酸化膜が露出するまでエッチング除去する。これによって、表面の余剰な多結晶シリコン28が除去され、厚い熱酸化物層2の表面の凹部と、その外周側の溝3のみに多結晶シリコンが残る形になる。

**【0043】**

次に、図7（b）に示すように、シリコン基板1に対し厚い熱酸化物層2の表面の凹部に残った多結晶シリコンがすべて酸化シリコンになるまで酸化処理する。つまり、シリコン基板1の表面に残留した多結晶シリコン（28）を熱酸化する。このような工程を経て、所定領域に10 $\mu$ m以上の厚い熱酸化物層（厚い絶縁物層）2が形成される。また、厚い熱酸化物層2の表面部分の凹部に残留した多結晶シリコンが酸化されるとき体積膨張するのでさらに表面が平坦化される。こうして形成された厚い熱酸化物層2は、表面がシリコン基板面とほぼ同じ高さであるとともに、凹部に埋設された多結晶シリコンはほとんど酸化することが可能であるため、熱酸化物層2での表面が平坦でかつ10 $\mu$ m以上の厚さを有することとなる。

**【0044】**

以上のように形成された10 $\mu$ m以上の厚い熱酸化物層2の表面は、ほぼ平坦で、十分な機械的強度を有している。そのため、この半導体基板に対して、通常のLSIプロセスを用いて図3に示すようにモノリシックIC、即ち、シリコン基板1に能動素子Q1、Q2（MOSトランジスタ）を、熱酸化物層2上に受動素子（スパイラルインダクタ）5を形成することができる。つまり、シリコン基板1の表層部にPウェル領域6とNウェル領域7を形成するとともに、Pウェル領域6上においてゲート絶縁膜を介してゲート電極8を配置し、さらに、ソース領域9とドレイン領域10を形成する。同様に、Nウェル領域7上においてゲート絶縁膜を介してゲート電極11を配置するとともに、ソース領域12とドレイン領域13を形成する。その後、受動素子（スパイラルインダクタ）5を含む金属配線、さらに基板表面にパッシベーション膜14を形成する。

## 【0045】

ここで、通常のLSIプロセス、特に能動素子形成過程では、800℃以上の高温の熱処理工程が多数繰り返されるが、その時のシリコンと酸化シリコンの熱膨張率の違いによって基板の水平方向に発生する寸法差を多結晶シリコン4が歪むことで吸収することができる。これにより、熱処理過程にシリコン基板1に加わる応力を低減し、結晶欠陥、転位、基板（ウエハ）の反りの発生を抑制することができる。そして、シリコン基板1を低結晶欠陥、低転位にできることから能動素子の動作不良を回避でき、能動素子を熱酸化物層2に近い位置に形成できデッドスペースが少なく高い集積度の高周波モノリシックICを実現できる。また、既存のLSIの製造プロセスを変更することなく素子を形成でき、安く、大量生産に向く高性能の高周波モノリシックICを実現できる。

## 【0046】

このように本実施形態は以下の特徴を有する。

（イ）図3での半導体基板100は、第1の素子としての受動素子5（高周波を取り扱う素子）を絶縁物の上に配置するとともに第2の素子としての能動素子Q1、Q2を作り込んだ半導体装置に用いるための半導体基板であって、受動素子5が配置される部位A1において厚さ10μm以上の熱酸化物層2が形成されるとともに、当該熱酸化物層2の外周面2aから内方において同外周面2aに沿って多結晶シリコン4を充填した溝3が形成されている。よって、この厚い熱酸化物層2にて素子機能を十分に発揮させることができる。具体的には、受動素子（スパイラルインダクタ）5に対する寄生容量及び寄生抵抗を十分に低減することができる。しかも受動素子5を空中配線構造としていないので十分な機械的強度を得ることが可能となる。また、熱酸化物層2の外周面2aから内方において同外周面2aに沿って多結晶シリコン4を充填した溝3を形成したので、多結晶シリコン4が能動素子Q1、Q2の形成工程における熱ストレスの吸収層として働くため、基板の反りや結晶欠陥、転位の発生を抑制でき、能動素子Q1、Q2の動作不良を防止できる。これによりデッドスペースを少なくでき、高い集積度の回路を実現することができる。

## 【0047】

これまでの説明においては一般的なシリコン基板を用いた場合を示したが、基板としては、図9に示すように、SOI (Silicon On Insulator) 基板200を用いてもよい。図9において、シリコン基板201の上に厚さ $1\mu\text{m}$ 程度の酸化膜層202を介して厚さ $10\mu\text{m}$ 以上の単結晶シリコン層203が形成されている。また、単結晶シリコン層203の一部領域において熱酸化物層2が形成され、この熱酸化物層2は埋め込み酸化膜層202に達している。そのためには、図6(a)の工程の際に溝24、25が埋め込み酸化膜層202に達するまでエッチングする。即ち、溝形成工程においてSOI基板の埋め込み酸化膜層202に達する溝24、25を形成する。これにより、熱酸化物層形成予定領域のシリコン層とそれ以外の領域のシリコン層とが完全に酸化物で分離できる。そのため、その後の厚い熱酸化物層形成工程や能動素子形成過程の熱ストレスを外周部の溝3および多結晶シリコン4に集中させることができ、能動素子が形成されるシリコン基板領域の結晶欠陥、転位の発生をさらに抑制でき、能動素子の動作不良を防止できる。より具体的には、図3においては熱酸化物層2の下面部において欠陥が発生した場合には左右方向に広がっていき、能動素子形成領域でのトランジスタQ1、Q2に悪影響を及ぼす可能性がある。これに比べ、図9において埋め込み酸化膜層202の存在によりそのようなことが回避される。

#### 【0048】

また、これまでの説明においてはトランジスタを能動素子とし、インダクタを受動素子とした場合について述べてきたが、ダイオード等を能動素子としたり、金属配線、抵抗、キャパシタ等を受動素子とした場合に適用してもよい。

#### 【0049】

さらに、これまでの説明においては、本発明による半導体基板を高周波モノリシックICに適用した例で説明した。つまり、第1の素子としての受動素子（インダクタ）5を熱酸化物層2の上に配置するとともに、第2の素子としての能動素子（トランジスタ）Q1、Q2を作り込んだ半導体装置に用いるための半導体基板であった。これに限らず、以下のようにしてもよい。

#### 【0050】

例えば、1GHz以上のクロック周波数のマイクロプロセッサ用のICに適用

する。具体的には、シリコン層に第2の素子としてのマイクロプロセッサ構成素子（トランジスタ等）を作り込むとともに熱酸化物層2の上に第1の素子として配線材を配する。

#### 【0051】

あるいは、1000ボルト以上の高耐圧を必要とするパワー素子を具備するICに適用する。具体的には、シリコン層に第2の素子としてパワー素子を作り込むとともに熱酸化物層2にて素子分離を図り、かつ、熱酸化物層2の上に第1の素子として配線材を配する。この場合には、厚い熱酸化物層2により耐電圧性を向上させることができる。

#### 【0052】

あるいは、基板に対して熱絶縁が必要なセンサ素子を具備するICに適用する。具体的には、熱酸化物層2の上に第1の素子としてセンサ素子を配するとともに、その横のシリコン層に第2の素子としてのセンサ信号処理回路構成素子（アンプ構成素子、A/D変換素子）を作り込む。この場合には、厚い熱酸化物層2により熱遮断性を向上させることができる。

#### 【図面の簡単な説明】

【図1】 実施の形態における半導体基板の縦断面図。

【図2】 半導体基板の平面図。

【図3】 実施の形態におけるモノリシックICの一部分を示す縦断面図。

【図4】 信号の伝送損失と酸化膜厚についてのシミュレーション結果を示す図。

【図5】 (a), (b), (c) はモノリシックICの製造プロセスを示す断面図。

【図6】 (a), (b), (c) はモノリシックICの製造プロセスを示す断面図。

【図7】 (a), (b) はモノリシックICの製造プロセスを示す断面図。

【図8】 モノリシックICの製造プロセスを示す平面図。

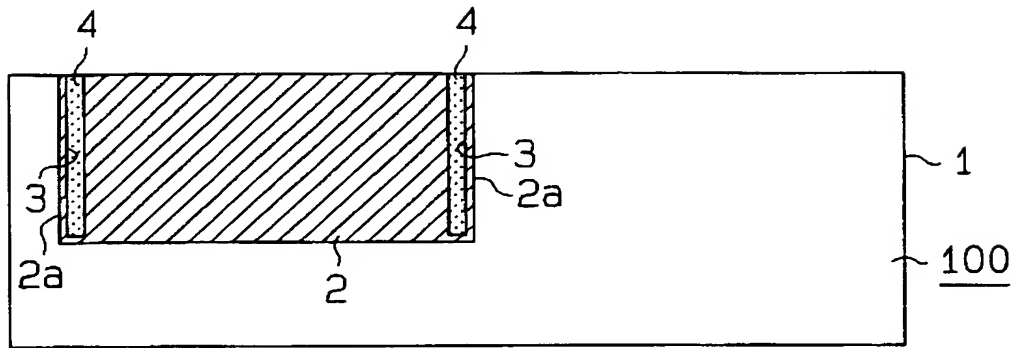
【図9】 SOI基板に適用した場合のモノリシックICの一部分を示す縦断面図。

**【符号の説明】**

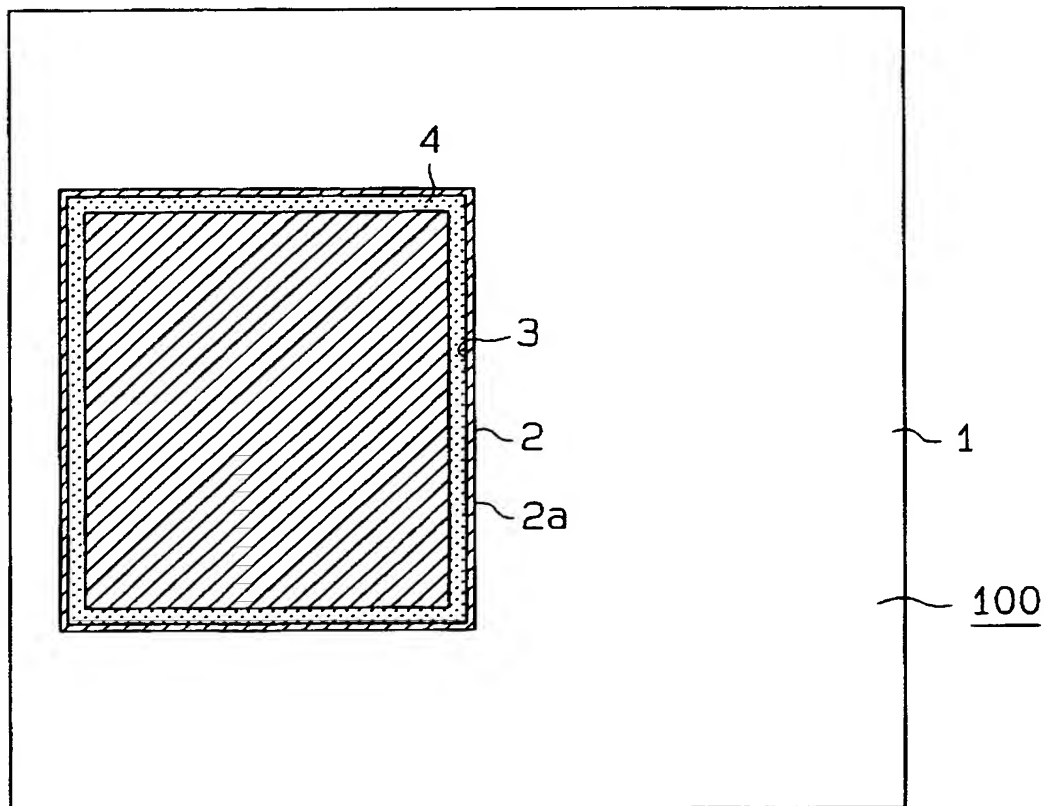
1…シリコン基板、2…熱酸化物層、3…溝（第3の溝）、4…多結晶シリコン、5…受動素子（第1の素子）、24…第1の溝、25…第2の溝、26…シリコン材料、28…多結晶シリコン、200…SOI基板、202…埋め込み酸化膜層、A1…受動素子形成領域、Q1，Q2…能動素子。

【書類名】 図面

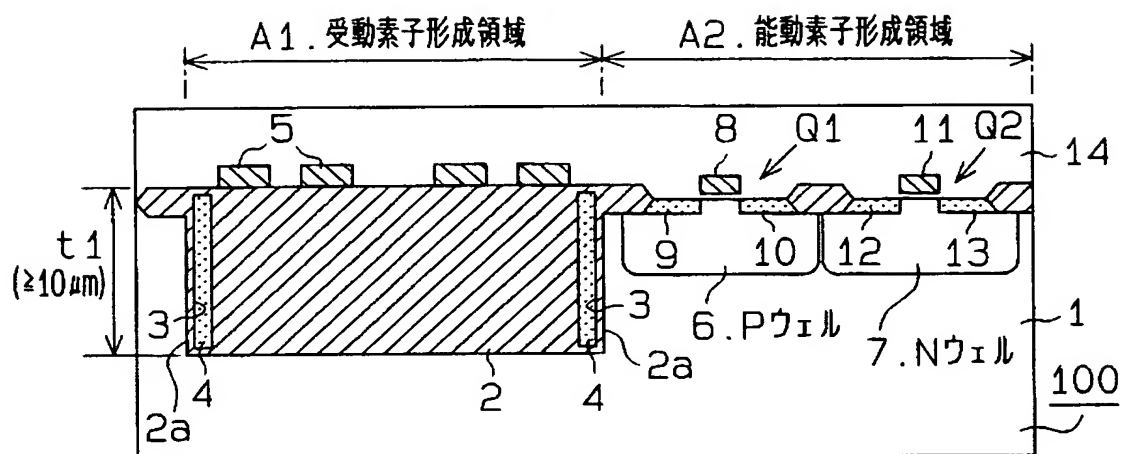
【図 1】



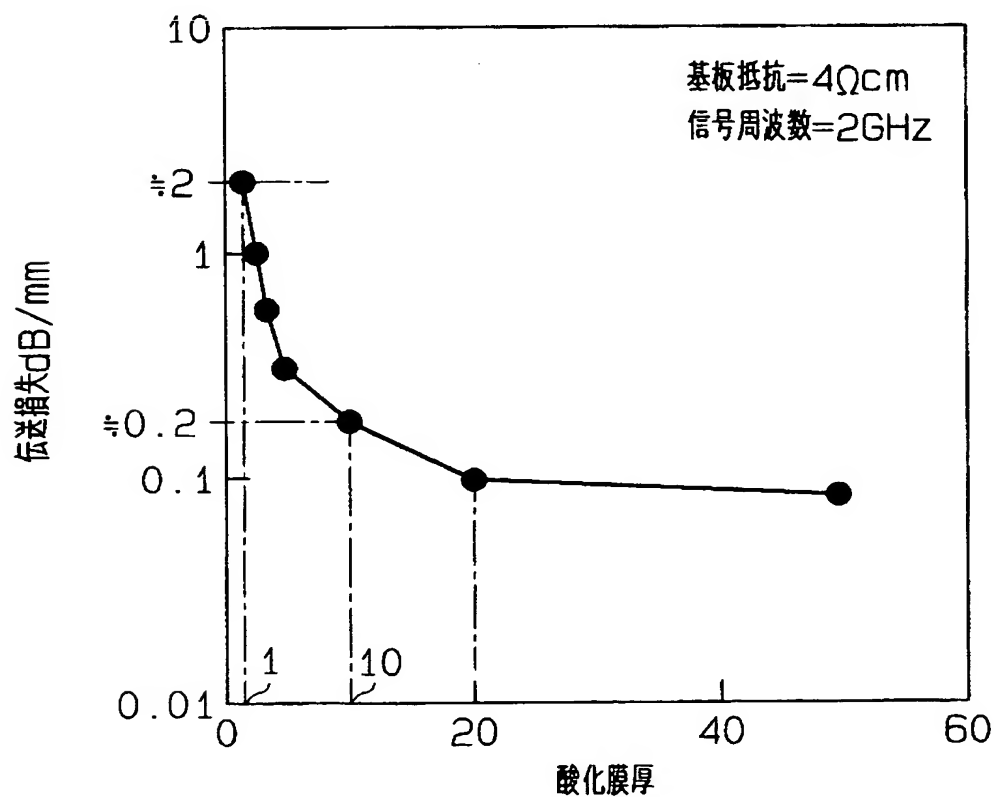
【図 2】



【図 3】

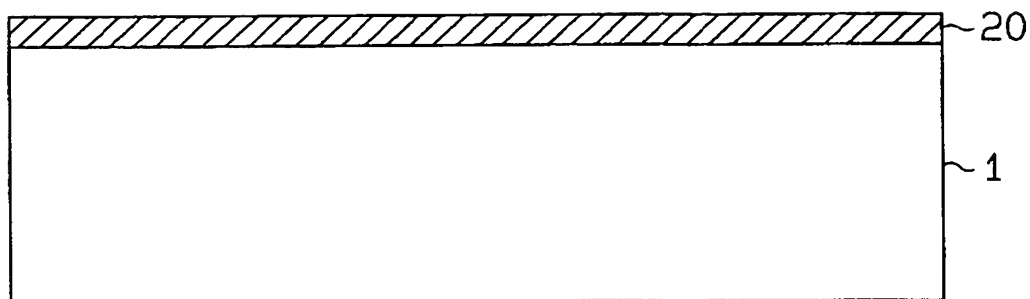


【図 4】

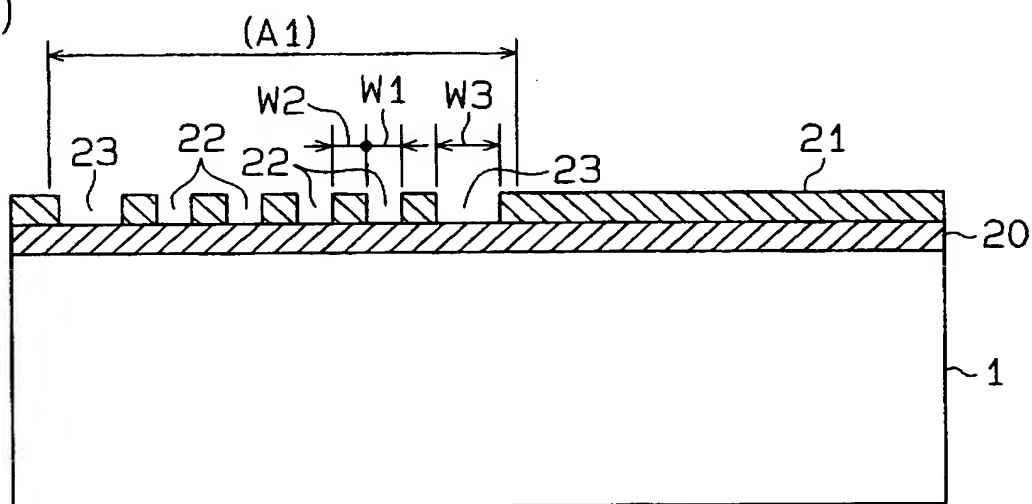


【図 5】

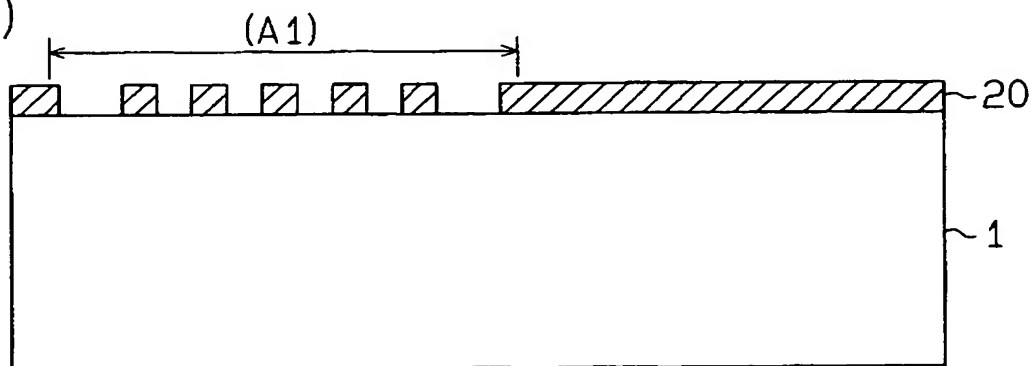
(a)



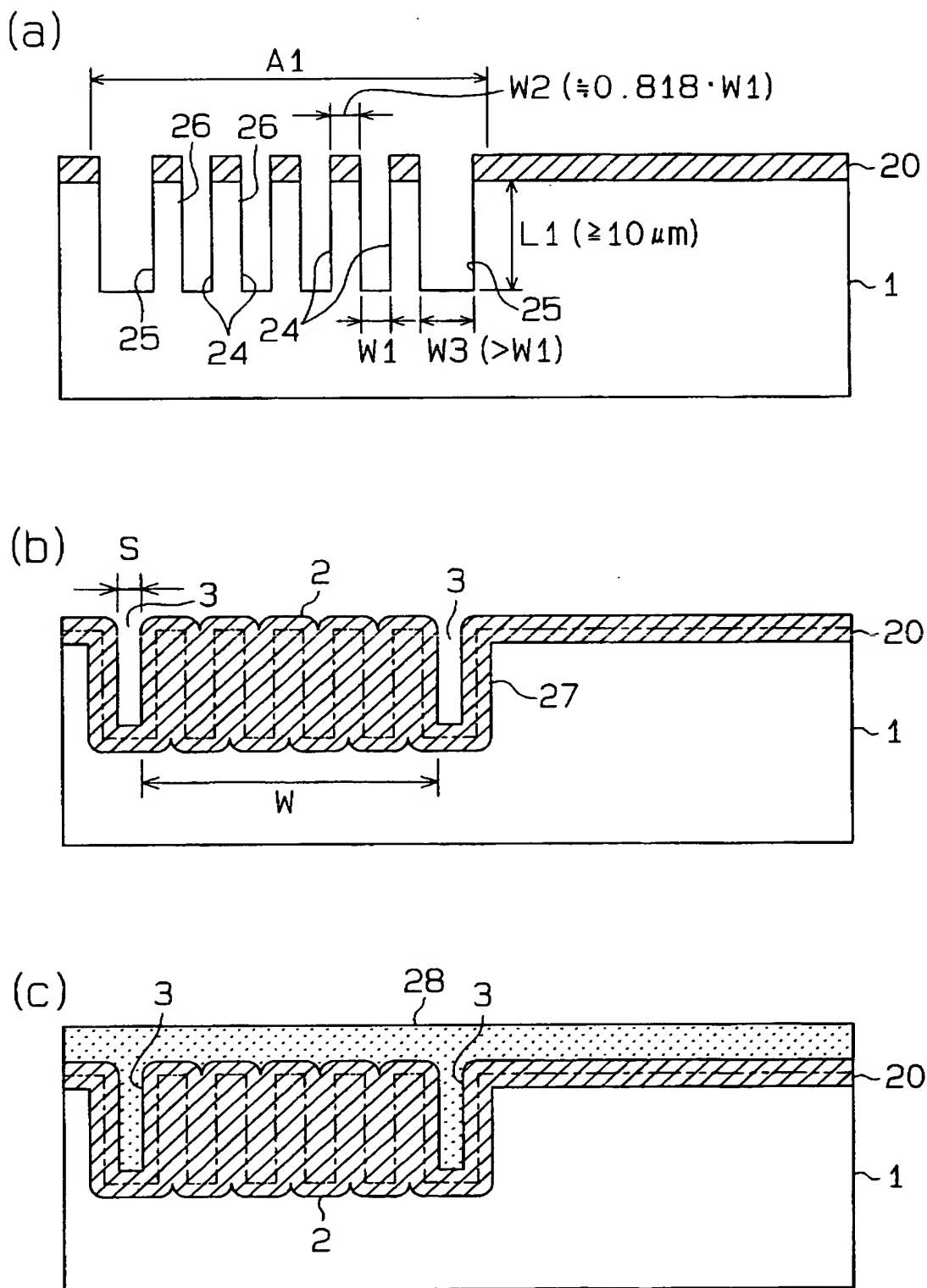
(b)



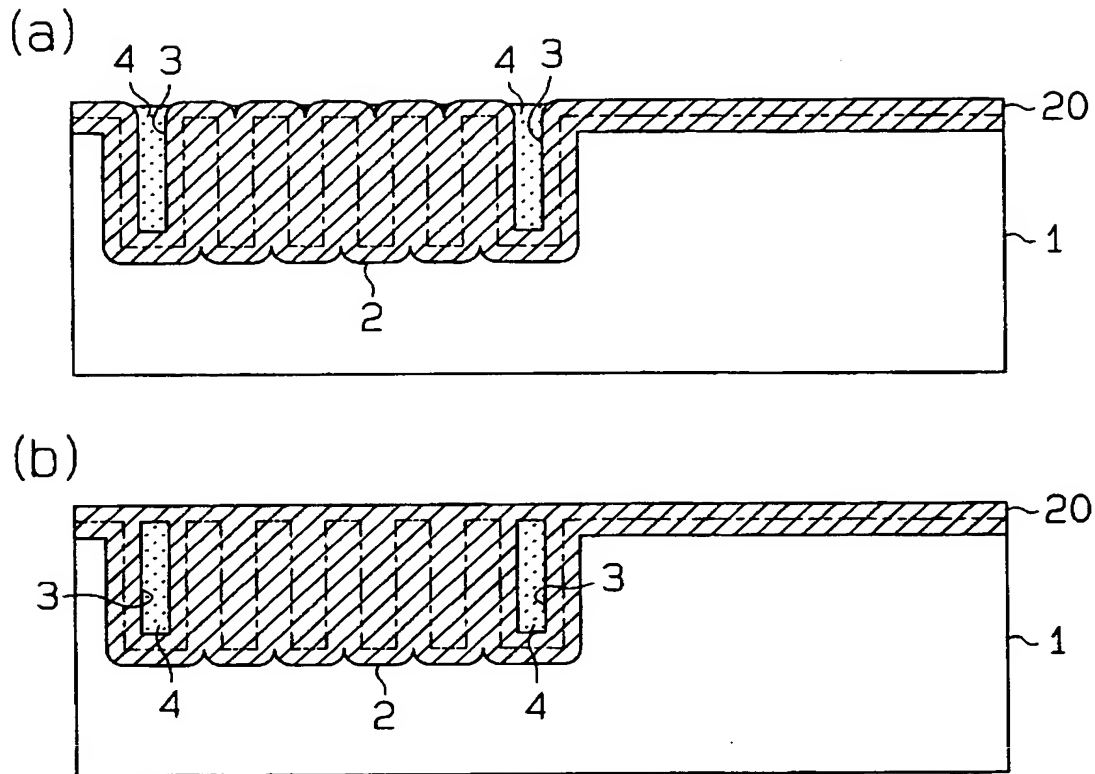
(c)



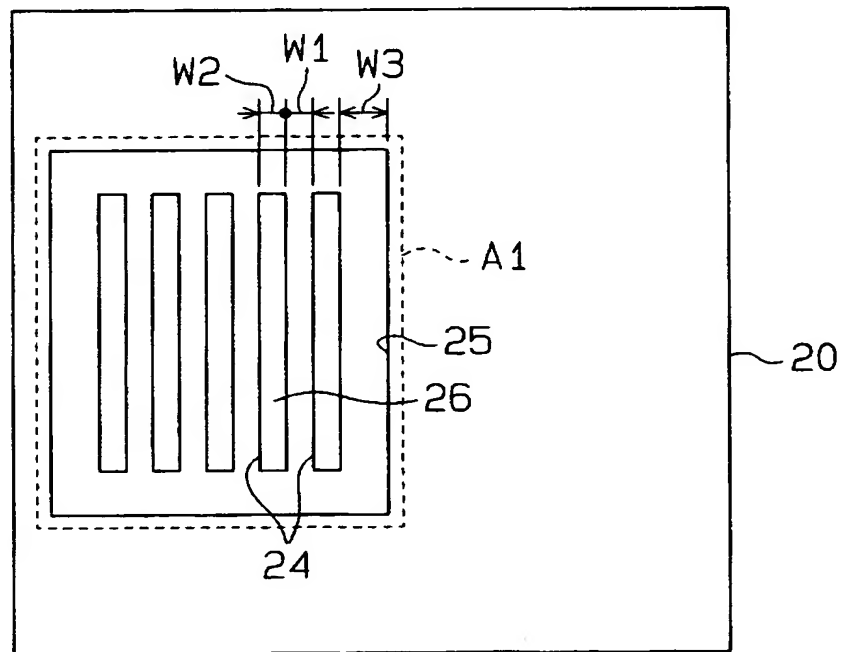
【図 6】



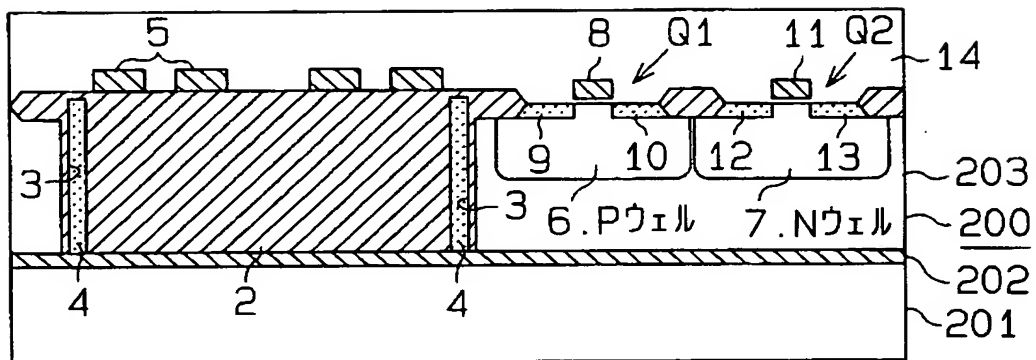
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】素子機能を十分に発揮させることができ、しかも十分な強度を得ることが可能な厚い絶縁物層を有し、かつ基板の反りや結晶欠陥、転位が発生しにくく、高い集積度の回路を実現可能な半導体基板およびその製造方法を提供する。

【解決手段】受動素子5を絶縁物の上に配置するとともに能動素子Q1、Q2を作り込んだ半導体装置に用いるための半導体基板であって、受動素子5が配置される部位A1において厚さ10 $\mu$ m以上の熱酸化物層2が形成されるとともに、熱酸化物層2の外周面2aから内方において同外周面2aに沿って多結晶シリコン4を充填した溝3が形成されている。

【選択図】 図3

特願 2 0 0 2 - 3 2 8 6 0 5

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 4 2 6 0 ]

1. 変更年月日

1 9 9 6 年 1 0 月 8 日

[変更理由]

名称変更

住 所

愛知県刈谷市昭和町 1 丁目 1 番地

氏 名

株式会社デンソー